

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
)
Hiroyuki SUZUKI, Hideaki MIZUNO, Hideyuki) Group Art Unit: Unassigned
TORIYAMA, Nobuo KAMEI and Tsuyoshi)
YONEYAMA) Examiner: Unassigned
)
Application No.: Unassigned)
)
Filed: November 17, 2000)
)
For: IMAGE PROCESSING APPARATUS)
)
)



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japan Patent Application No. 11-328130

Filed: November 18, 1999

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: November 17, 2000

By: *Platon N. Mandros* Reg No 31979
for Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC815 U.S. PTO
09/714553
11/17/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年11月18日

出 願 番 号

Application Number:

平成11年特許願第328130号

出 願 人

Applicant (s):

ミノルタ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月22日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造

出証番号 出証特2000-3077878

【書類名】 特許願

【整理番号】 167474

【提出日】 平成11年11月18日

【あて先】 特許庁長官殿

【国際特許分類】 G03G 15/00

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル ミノルタ株式会社内

【氏名】 鈴木 浩之

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル ミノルタ株式会社内

【氏名】 水野 英明

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル ミノルタ株式会社内

【氏名】 鳥山 秀之

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル ミノルタ株式会社内

【氏名】 亀井 伸雄

【発明者】

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル ミノルタ株式会社内

【氏名】 米山 剛

【特許出願人】

【識別番号】 000006079

【住所又は居所】 大阪府大阪市中央区安土町二丁目 3 番 1 3 号大阪国際ビル

【氏名又は名称】 ミノルタ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100098280

【弁理士】

【氏名又は名称】 石野 正弘

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808001

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 回路構成が書き換え可能なデバイスに内蔵され、カスケードに接続され、画素データを並列に出力する複数のラインメモリと、

回路構成が書き換え可能なデバイスにより構成され、前記の複数のラインメモリから並列に出力される画素データを入力して画素データのマトリクスを構成するフィルタと、

回路構成が書き換え可能なデバイスにより構成され、前記のフィルタに入力された画素データのフィルタ処理を行うフィルタ処理回路と、

画像処理条件に基づき、前記のデバイスの構成を設定するアルゴリズムを格納するメモリとからなり、

前記のラインメモリ、前記のフィルタ及び前記のフィルタ処理回路を構成する前記のデバイスは、前記のメモリに格納されたアルゴリズムに基づいて回路構成を書き換える画像処理装置。

【請求項 2】 前記の画像処理条件が出力用紙サイズであり、前記の書き換え可能なデバイスは、前記のメモリに格納されたアルゴリズムに基づいて、前記の複数のラインメモリのサイズを出力用紙サイズにより書き換える、請求項 1 に記載された画像処理装置。

【請求項 3】 前記の画像処理条件が処理速度であり、前記の書き換え可能なデバイスは、前記のメモリに格納されたアルゴリズムに基づいて、前記の複数のラインメモリの個数、並びに、前記のフィルタ及び前記のフィルタ処理回路の回路構成を処理速度により書き換える、請求項 1 に記載された画像処理装置。

【請求項 4】 さらに、画像処理条件を設定する操作パネルを備える請求項 1 に記載された画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像データの処理に関する。

【0002】

【従来の技術】

リアルタイム画像処理装置は、読取装置の1次元のイメージセンサで読み取られた画像データをリアルタイムで最適に処理して出力装置側に送り出す。ここで、主に空間フィルタを用いた画像処理回路で複数のラインメモリ（たとえばFIFOメモリ）が用いられる。そのサイズ、使用個数及び構成は、画像処理条件、すなわち、センサの読取解像度に依存して求められる画質、出力サイズ（処理速度）などによって決まる。また、そのとき、画像処理回路のアルゴリズムも一義的に決まってしまう。

【0003】

【発明が解決しようとする課題】

画像処理装置において、複数のラインメモリが使用されているが、ラインメモリおよびそれに関連した回路の構成と画像処理アルゴリズムは、センサの読取解像度に依存して求められる画質、出力用紙サイズ、処理速度などの画像処理条件によって決まっている。そのため、ユーザーが画質、出力用紙サイズ、処理速度などをモードとして選択できない。画像処理用のラインメモリの構成は、画像処理条件などによらず常に一定であり、画像品質も一定である。

【0004】

本発明の目的は、求められる画質、処理速度、出力用紙サイズなどの画像処理条件に応じてラインメモリおよびそれに関連した回路の構成と画像処理アルゴリズムを変更できる画像処理装置を提供することである。

【0005】

【課題を解決するための手段】

本発明に係る画像処理装置は、カスケードに接続され、画素データを並列に出力する複数のラインメモリ（たとえばFIFOメモリ）と、前記の複数のラインメモリから並列に出力される画素データを入力して画素データのマトリクスを構成するフィルタと、前記のフィルタに入力された画素データのフィルタ処理を行うフィルタ処理回路とからなり、前記のラインメモリ、前記のフィルタ及び前記のフィルタ処理回路は、回路構成が書き換え可能なデバイスにより構成される。

さらに、画像処理条件に基づき、前記のデバイスの構成を設定するアルゴリズムを格納するメモリを備え、前記のラインメモリ、前記のフィルタ及び前記のフィルタ処理回路を構成する前記のデバイスは、前記のメモリに格納されたアルゴリズムに基づいて回路構成を書き換える。

たとえば、前記の画像処理条件が出力用紙サイズであり、前記の書き換え可能なデバイスは、前記のメモリに格納されたアルゴリズムに基づいて、前記の複数のラインメモリのサイズを出力用紙サイズにより書き換える。

また、たとえば、前記の画像処理条件が処理速度であり、前記の書き換え可能なデバイスは、前記のメモリに格納されたアルゴリズムに基づいて、前記の複数のラインメモリの個数、並びに、前記のフィルタ及び前記のフィルタ処理回路の回路構成を処理速度により書き換える。

好ましくは、画像処理装置は、さらに、画像処理条件を設定する操作パネルを備える。

【 0 0 0 6 】

【発明の実施の形態】

以下、添付の図面を参照して本発明の実施の形態を説明する。なお、図面において、同じ参照記号は同一または同等のものを示す。

図 1 は、カラー画像処理装置の全体の回路構成を示す。3 色のラインセンサからなるカラー CCD センサー 1 0 の赤、緑、青の出力信号は、それぞれ、AD 変換部 1 2 によりデジタル信号に変換される。得られた赤 (R)、緑 (G)、青 (B) のデジタルデータは、シェーディング補正部 1 4 において補正された後で、変倍移動部 1 6 に入力され、画像データの変倍処理と移動処理が行われる。変倍移動部 1 6 からの出力データは、色補正部 1 8 でシアン (C)、マゼンタ (M)、イエロー (Y)、ブラック (Bk) の印字色に変換されるとともに、領域判別部 2 0 で各種の領域が判別される。MTF 補正部 2 2 は、領域判別部 2 0 での領域判別結果に応じて、色補正部 1 8 から出力される印字データを補正して、プリンタに出力する。また、ユーザーは、操作パネル 2 8 により、出力用紙サイズ、モード (処理スピード優先モード、画質優先モード) などの画像処理条件を設定できる。

【 0 0 0 7 】

このカラー画像処理回路において、領域判別部 2 0 は、回路構成が書き換え可能なデバイス、たとえば、フィールド・プログラマブル・ゲートアレイ (FPGA) を用いて構成される。CPU 2 4 は、モード設定や用紙サイズに応じて、ROM 2 6 に格納されている処理回路プログラムに基づいて領域判別部 2 0 に処理アルゴリズムを設定する。これにより、領域判別部 2 0 の回路構成が変更される。具体的には、領域判別部 2 0 では、フィルター作成用のラインメモリ (たとえば FIFO メモリ) が FPGA を用いて構成され、ラインメモリの構成 (横サイズとライン数) は用紙サイズ、モードなどに応じて変更される。

【 0 0 0 8 】

図 2 と図 3 は、領域判別部 2 0 の構成を示す。なお、説明を簡略化するため、ここでは網点領域の判別についてのみ説明する。まず MIN 回路 2 0 0 によって、赤、緑、青の入力画像データ RIN, GIN, BIN から最小値である明度 (V) データが求められる。次に、マトリクス形成部 2 0 2 において、入力明度データをマトリクスに展開し、孤立点検出部 2 0 4 は、マトリクス形成部における明度 (V) データを基に黒と白の孤立点を検出し、黒孤立点信号 KAMI と白孤立点信号 WAMI を作成する。マトリクス形成部 2 0 2 と孤立点検出部 2 0 4 の処理アルゴリズムは CPU バスによって設定される。次に、求められた信号 KAMI と信号 WAMI をそれぞれ 9×41 マトリクス 2 0 6、2 0 8 に展開して、黒と白の孤立点の個数をカウンタ部 2 1 0 と 2 1 2 で計数し、黒孤立点個数 KOUT と白孤立点個数 WOUT を作成する。

次に、得られた孤立点個数 KOUT、WOUT をそれぞれ比較器 2 1 4、2 1 6 により黒、白の網点判定しきい値と比較する。また、孤立点個数 KOUT と WOUT を加算器 2 1 8 で加算し、加算値を比較器 2 2 0 により網点判定しきい値と比較する。OR ゲート 2 2 2 は、いずれかの比較結果が有効 ("L" レベル) であれば、網点領域であると判定する。

【 0 0 0 9 】

図 4 は、各モードでの画像読取範囲を示す。処理スピード優先モードでは、解像度が 600 DPI で A4 横サイズの場合、主走査方向に 1 ラインあたり 7,5

0 0 画素のデータ量になり、スキャン時間はA 4 縦サイズより短い。一方、画質優先モードでは、解像度が6 0 0 D P I でA 4 縦サイズの場合、主走査方向に1 ラインあたり5 , 0 0 0 画素のデータ量になり、スキャン時間はA 4 横サイズより長い。そこで、ラインメモリ (F I F O メモリ) の内容は、この横サイズに応じて変更される。具体的には、処理スピード優先モードでは8 k * 8 ビットのF I F O メモリが用いられ、画質優先モードでは、5 k * 8 ビットのF I F O メモリが用いられる。

【 0 0 1 0 】

また、ラインメモリ (F I F O メモリ) の個数が、モードに応じて変更される。画質優先モードでは、7 * 7 の孤立点検出フィルタを用い、孤立点検出フィルタを構成するために6 つのF I F O メモリが用いられ、処理スピード優先モードでは、より小さな5 * 5 の孤立点検出フィルタを用い、孤立点検出フィルタを構成するために4 つのF I F O メモリが用いられる。したがって、F I F O メモリの回路構成は、モードによっても変更される。

【 0 0 1 1 】

図5 と図6 は、処理スピード優先モードと画質優先モードでの孤立点検出フィルターと孤立点 (ハッチング部分) の大きさの関係を示す。処理スピード優先モードでは (図5) 、6 0 0 D P I の画素サイズに対して5 * 5 のフィルタを用いると、8 5 L の網点を形成している孤立点 (下側の図) の大きさがフィルタサイズからはみ出てしまい、孤立点と認識できなくなる。1 0 0 L 以上 (上側の図) で初めて孤立点と認識でき、網点が判別できる。これに対し、画質優先モードでは (図6) 、6 0 0 D P I の画素サイズに対して7 * 7 のフィルタを用いると、8 5 L の網点を形成している孤立点の大きさもフィルタサイズからはみ出さず、孤立点と認識できる。同様に、6 5 L の網点の孤立点も認識できる。よって、全ての網点領域を判別できる。図7 は、各モードでの網点領域判定範囲を示す。処理スピード優先モードでは、網点領域の判別精度が狭く、6 5 L 、8 5 L では網点領域を判別できず、画質劣化 (モアレパターンなど) が発生する。一方、画質優先モードでは、全網点領域を判別でき、画質が良好になる。

【 0 0 1 2 】

設定モードや用紙サイズに応じた領域判別部 2 0 の回路構成は、ROM 2 6 に格納されている処理回路プログラムに基づく。用紙サイズやモードに応じて、上述のように F I F O メモリの構成を変えることにより、画像処理精度を変更でき、画像品質を向上できる。

【0 0 1 3】

図 8 は、処理スピード優先モードにおけるマトリクス形成部 2 0 2 A と孤立点検出部 2 0 4 A の回路内容を示す。画像データは、A 4 横サイズで解像度が 6 0 0 D P I の 8 ビットデータなので、1 ライン分の F I F O メモリは、 $8k \times 8$ ビットの容量を必要とする。また、 5×5 のフィルタを用いるため、マトリクス形成部 2 0 2 A で、F I F O メモリ 2 0 2 0 A が 4 つカスケードに接続される。1 ライン目の画素データ V 1 として入力画素データがそのまま出力される。これにより、マトリクス形成部 2 0 2 A は、5 ライン分の画素データ V 1, V 2, V 3, V 4, V 5 が並列に出力する。

【0 0 1 4】

孤立点検出部 2 0 4 A は、マトリクス形成部 2 0 2 A から画素データ V 1, V 2, V 3, V 4, V 5 を並列に 5×5 の孤立点検出フィルタ 2 0 4 0 A に順次入力する。ここに $V_{i,j}$ ($1 \leq i, j \leq 5$) は、画素 (i, j) のデータを表わす。そして、 5×5 マトリクスの中心にある注目画素に対する周辺画素の状態をフィルタ処理部 2 0 4 2 A、2 0 4 4 A により調べ、図に示す白孤立点、黒孤立点の判定条件を満たす注目画素、すなわち、白、黒の孤立点 (WAMI、KAMI) を検出する。

【0 0 1 5】

図 9 は、画質優先モードにおけるマトリクス形成部 2 0 2 B と孤立点検出部 2 0 4 B の内容を示す。本モードで対象とする画像データは、A 4 縦サイズで解像度が 6 0 0 D P I の 8 ビットデータなので、1 ライン分の F I F O メモリは、 $5k \times 8$ ビットの容量を必要とする。また、 7×7 の孤立点検出フィルタを構成するため、6 つの F I F O メモリ 2 0 2 0 B がカスケードに接続される。1 ライン目の画素データ V 1 としては入力画素データがそのまま出力される。これにより、マトリクス形成部 2 0 2 B は、7 ライン分の画素データ V 1, V 2, V 3, V

4, V 5, V 6, V 7 を並列に出力する。

【0 0 1 6】

孤立点検出部 2 0 4 B は、マトリクス形成部 2 0 2 B から V 1, V 2, V 3, V 4, V 5, V 6, V 7 を並列に $7 * 7$ の孤立点検出フィルタ 2 0 4 0 B に順次入力する。ここに $V_{i,j}$ ($1 \leq i, j \leq 7$) は、画素 (i, j) のデータを表わす。さらに、 $7 * 7$ のフィルタ 2 0 4 0 B のデータについて、 $5 * 3$ のスムージングフィルタ 2 0 4 2 B を用いてスムージング処理をした後に、スムージング処理後のデータ $S_{i,j}$ を $5 * 5$ のフィルタ 2 0 4 4 B に入力する。白孤立点の場合、フィルタ 2 0 4 0 B、2 0 4 4 B を用いて、注目画素に対する周辺画素の状態を調べ、判定部 2 0 4 6 B により、図に示す白孤立点 (WAMI="H") の条件を満たす白の孤立点を求める。また、黒孤立点の場合、フィルタ 2 0 4 0 B、2 0 4 4 B を用いて、判定部 2 0 4 8 B により、注目画素に対する周辺画素の状態を図に示す条件に基づいて調べ、図に示す黒孤立点 (KAMI="H") の条件を満たす黒の孤立点を求める。

【0 0 1 7】

たとえば、図 8 の場合、A 4 横の出力用紙サイズで、解像度が 6 0 0 D P I の 8 ビットデータなので、1 ラインの F I F O メモリ 2 0 2 0 A は、 $8 k * 8$ ビットの容量を必要とする。一方、図 9 の場合、A 4 縦の出力用紙サイズで解像度が 6 0 0 D P I の 8 ビットデータなので、1 ラインの F I F O メモリ 2 0 2 0 B は、 $5 k * 8$ ビットの容量を必要とする。このように、出力用紙の横サイズにより F I F O メモリの容量を変更する。また、図 8 (処理スピード優先モード) の場合、 $5 * 5$ の孤立点検出マトリクスを構成するため 4 ラインのカスケード接続された F I F O メモリ 2 0 2 0 A で構成する。一方、図 9 (画質優先モード) の場合、 $7 * 7$ の孤立点検出マトリクスを構成するため、6 ラインのカスケード接続された F I F O メモリ 2 0 2 0 B で構成する。このようにフィルタのサイズに依存してフィルタを構成するためのラインメモリの数を変更する。さらに、フィルタの変更に対応して、フィルタの後のフィルタ処理回路の構成も書き換える。

【0 0 1 8】

図 1 0 は、各モードでの網点判定しきい値の算出の例を示す。画質優先モード

では、7 * 7 の孤立点検出フィルタで検出された孤立点が 9 * 4 1 のマトリクス内には、理論上 2 2 個存在していることから、画質優先モード用のしきい値を 2 2 にしている。

【0 0 1 9】

【発明の効果】

画像処理回路におけるラインメモリに関連する回路のサイズ及び構成を、ユーザーが求める画像処理条件（画質、出力用紙サイズ、処理速度など）に応じて変更できる。これにより、ユーザーは、各種画像処理条件をモードとして選択できる。

【図面の簡単な説明】

【図 1】 カラー画像処理回路の全体構成を示すブロック図

【図 2】 領域判別部の 1 部の構成を示すブロック図

【図 3】 領域判別部の 1 部の構成を示すブロック図

【図 4】 各モードでの画像読取範囲を示す図

【図 5】 処理スピード優先モードでの孤立点検出フィルタと孤立点の大きさの関係を示す図

【図 6】 画質優先モードでの孤立点検出フィルタと孤立点の大きさの関係を示す図

【図 7】 各モードでの網点領域判定範囲を示す図

【図 8】 処理スピード優先モードでのマトリクス形成部と孤立点検出部の構成を示す図

【図 9】 画質優先モードでのマトリクス形成部と孤立点検出部の構成を示す図

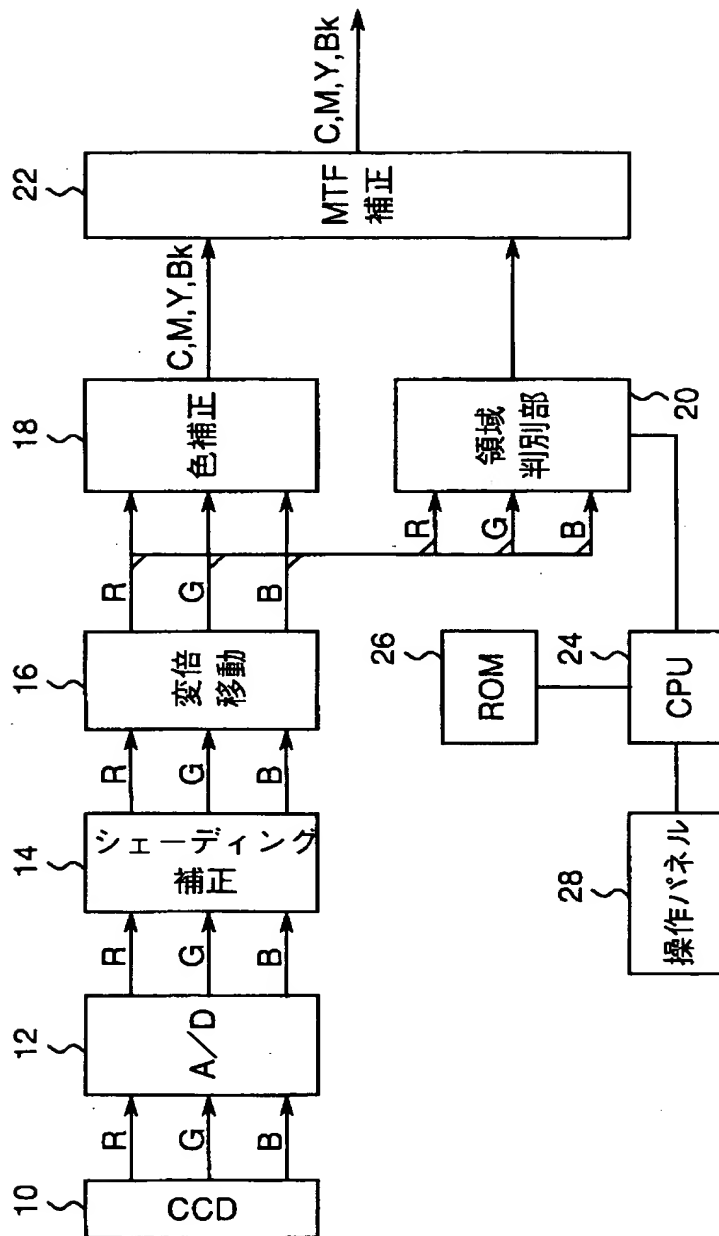
【図 1 0】 各モードの網点判定しきい値の算出の例を示す図

【符号の説明】

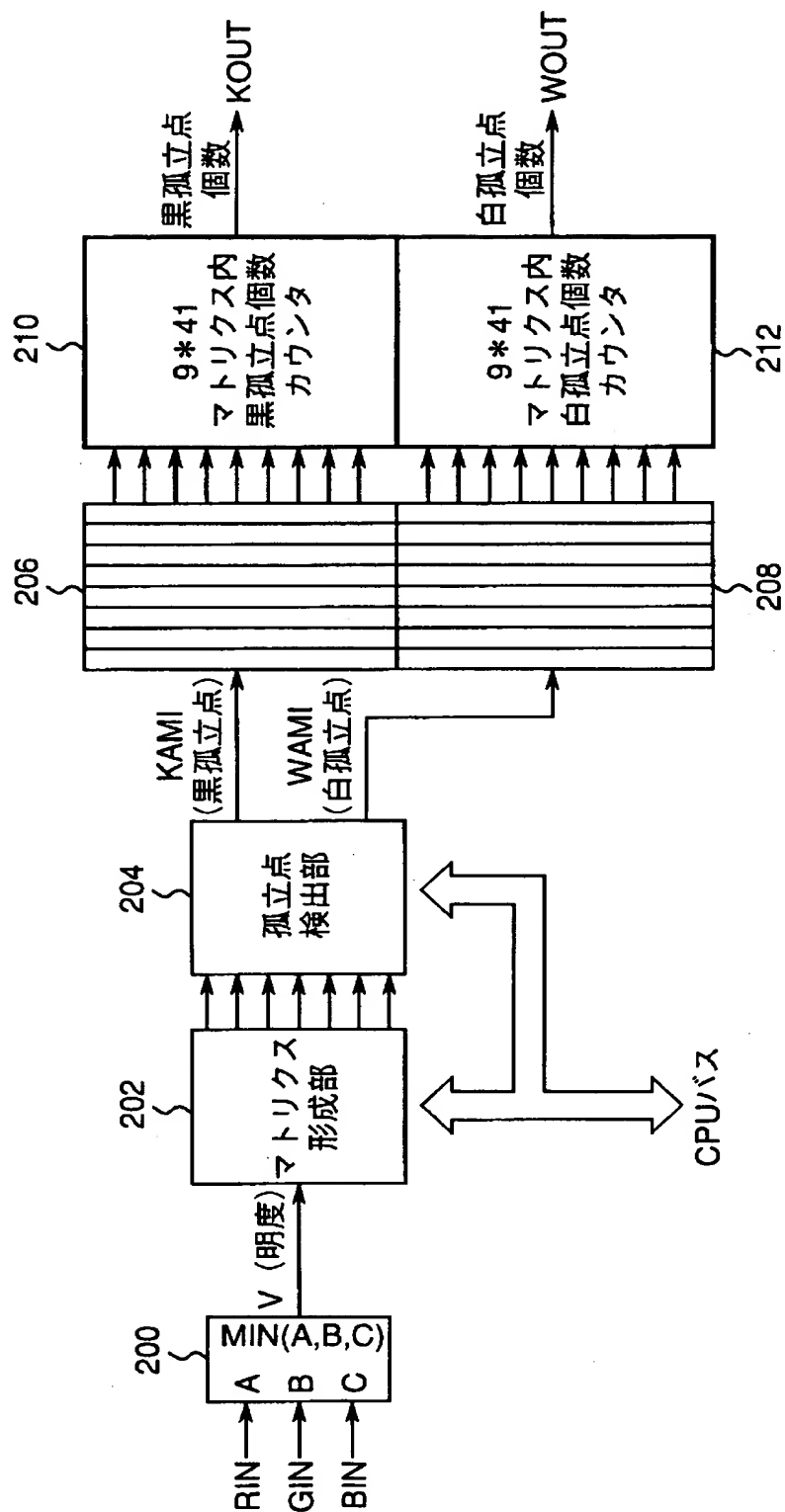
2 0 領域判別部、 2 4 CPU、 2 6 ROM、 2 8 操作パネル、 2 0 2 マトリクス形成部、 2 0 4 孤立点検出部、 2 0 2 0 A、2 0 2 0 B ラインメモリ、 2 0 4 0 A、2 0 4 0 B フィルタ。

【書類名】 図面

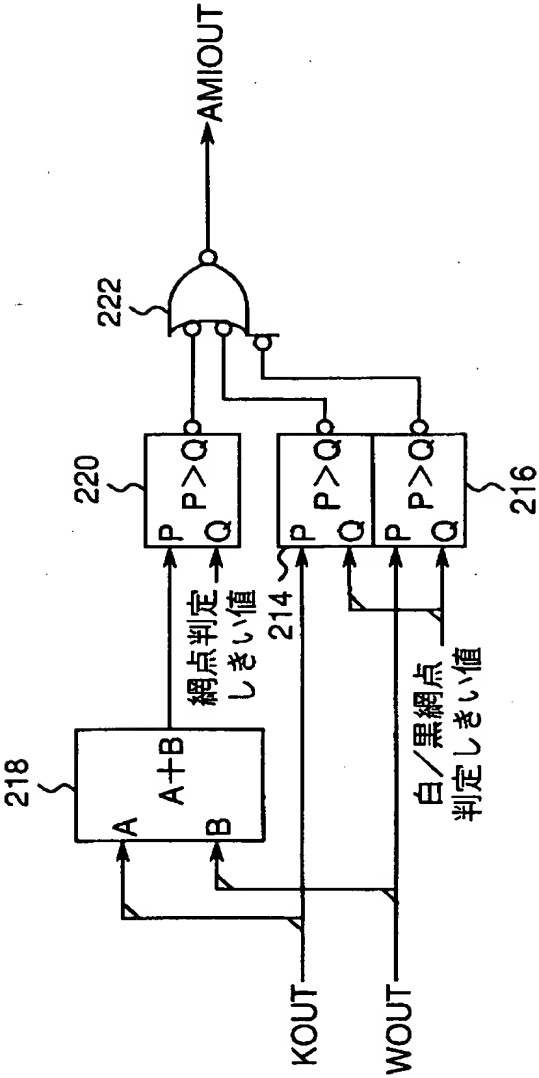
【図 1】



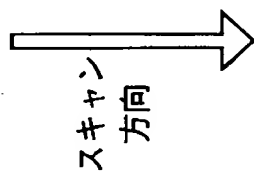
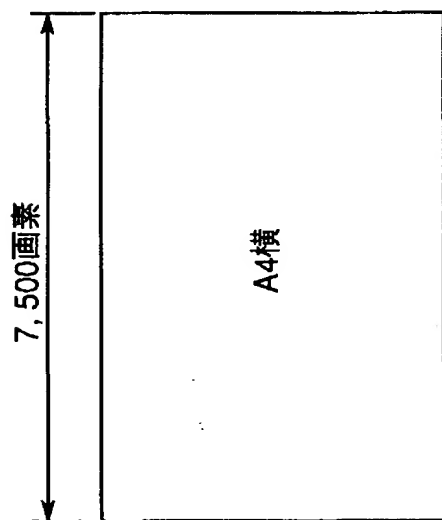
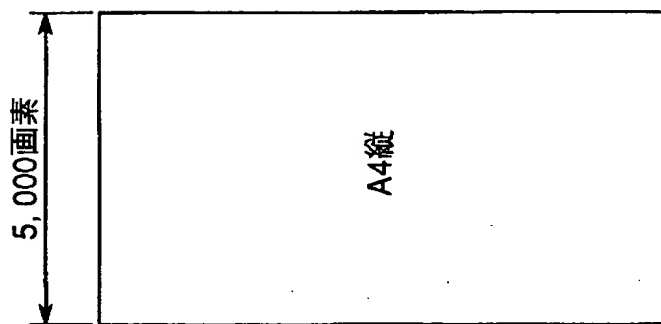
【図 2】



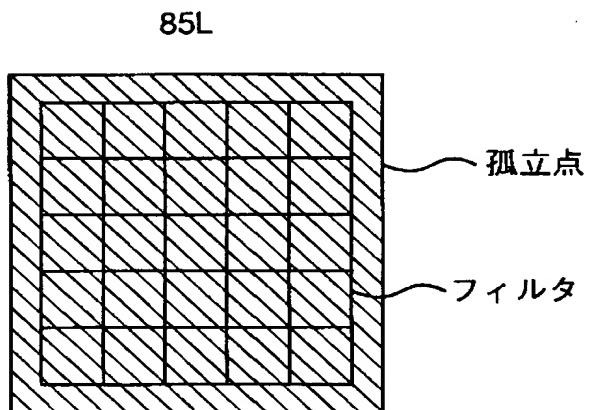
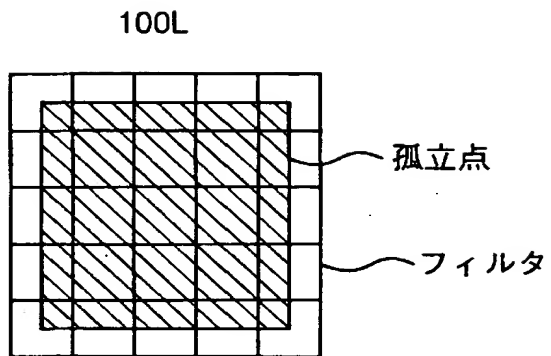
【図 3】



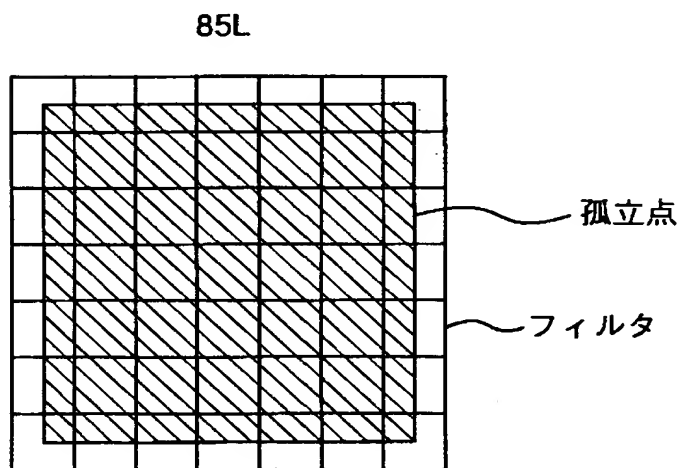
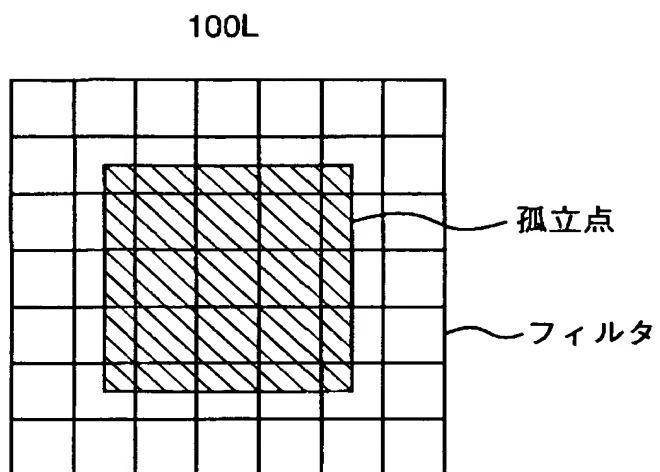
【図 4】



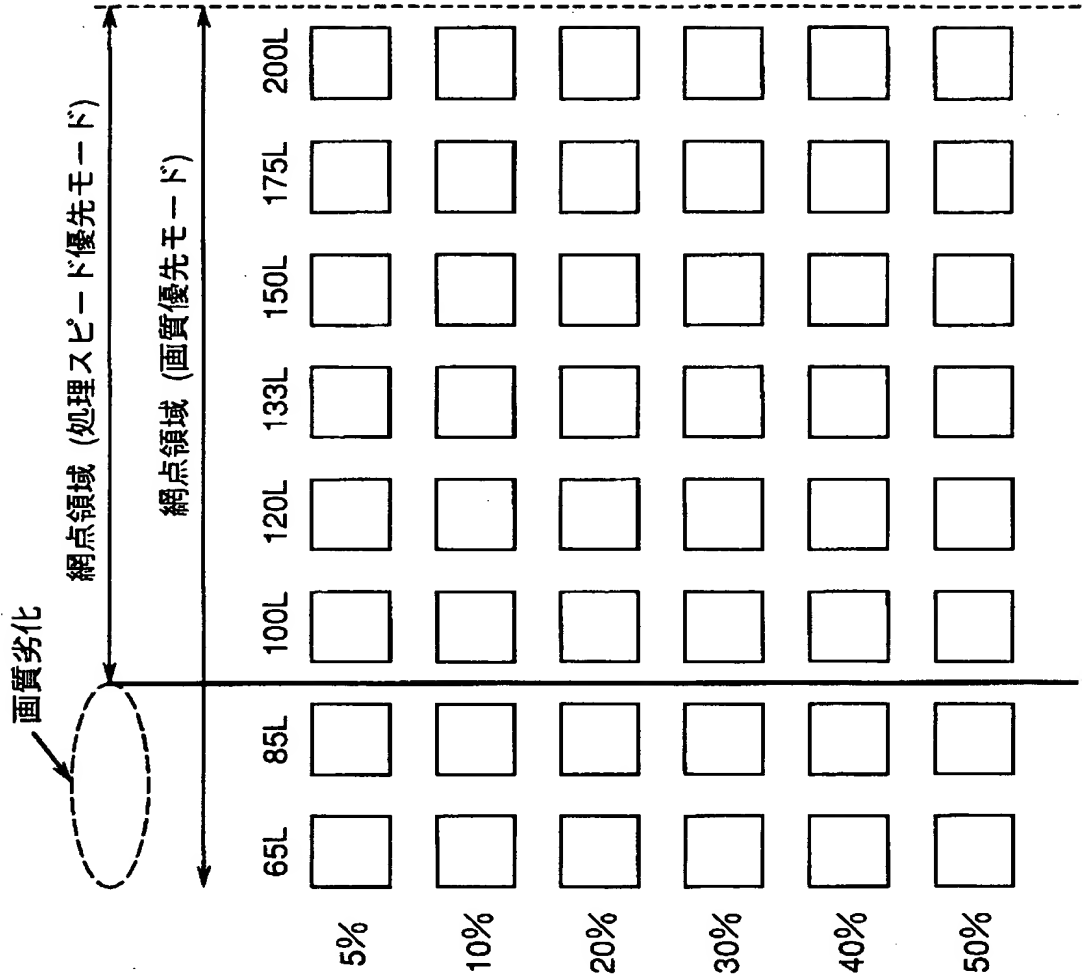
【図 5】



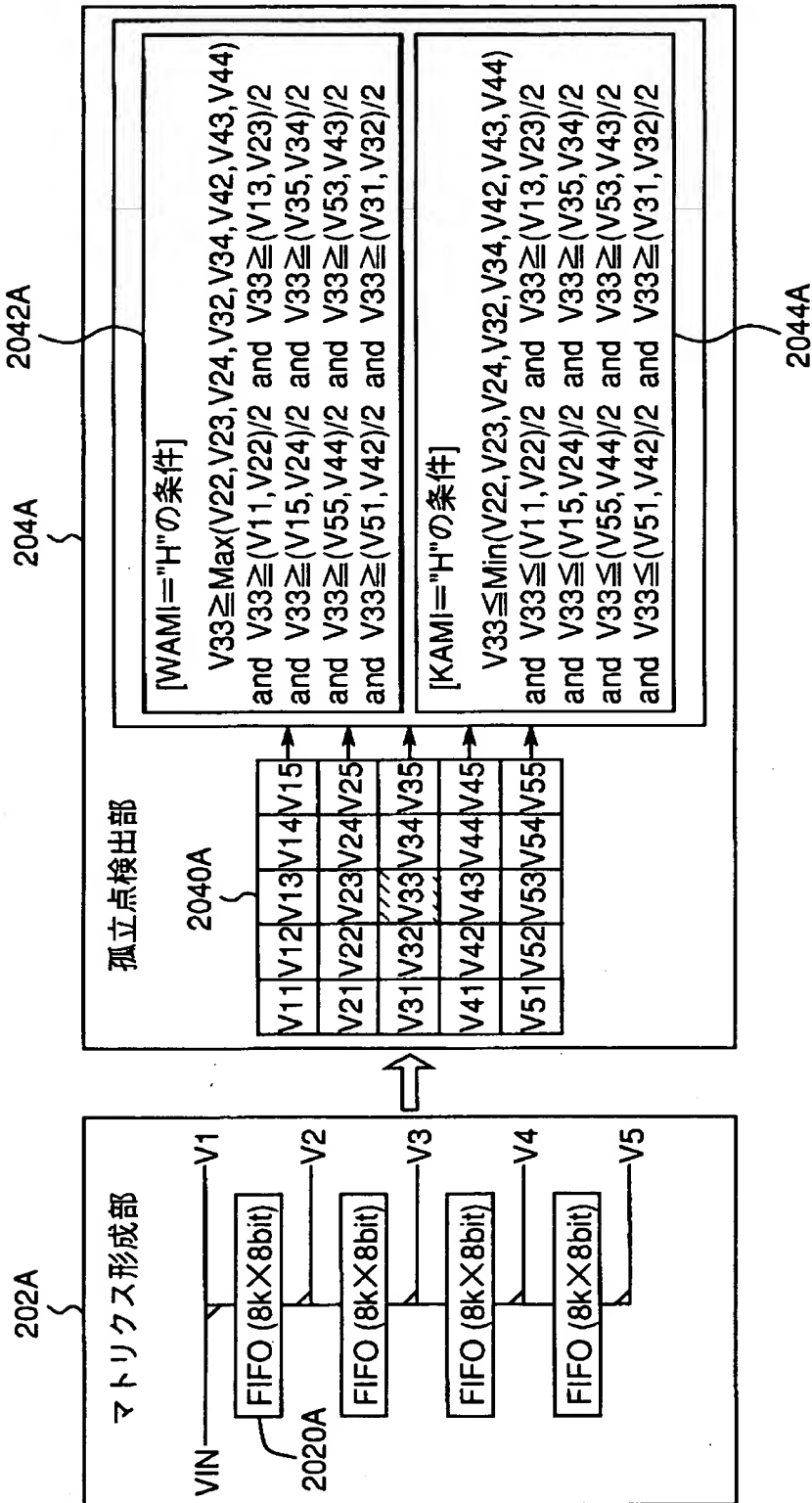
【図 6】



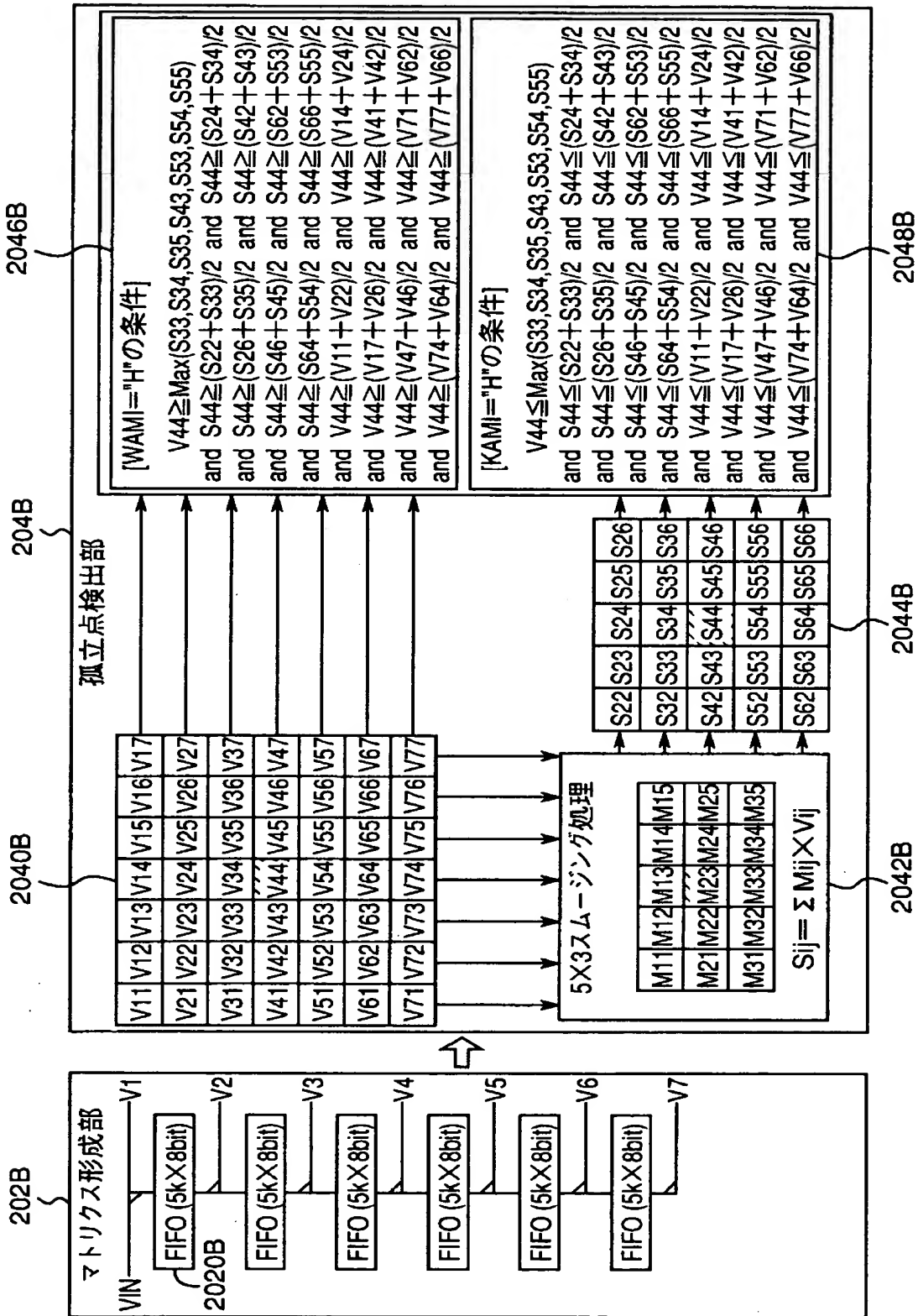
【図 7】



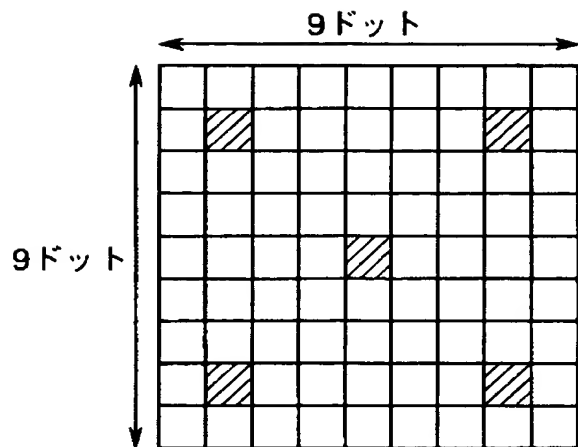
【図 8】



【図 9】



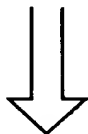
【図 1 0】



孤立点個数=5個



9*41マトリクス内の孤立点個数
=5*41/9=22個



画質優先モード用しきい値→22

【書類名】 要約書

【要約】

【課題】 画像処理条件に応じてラインメモリとそれに関連した部分の構成と画像処理アルゴリズムを変更できる画像処理装置を提供する。

【解決手段】 画像処理装置において、複数のラインメモリ、ラインメモリから出力される画素データを入力して画素データのマトリクスを構成するフィルタ、及び、フィルタに入力された画素データのフィルタ処理を行うフィルタ処理回路は、回路構成が書き換え可能なデバイスにより構成される。メモリは、複数のラインメモリのサイズ及び個数、並びに、フィルタ及びフィルタ処理回路の構成を設定するアルゴリズムを格納する。書き換え可能なデバイスは、ユーザーにより設定された画像処理条件に基づき、メモリに格納されたアルゴリズムに基づいて回路構成を書き換える。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日 1994年 7月20日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名 ミノルタ株式会社